

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PUBLICATION NUMBER : 61120424
PUBLICATION DATE : 07-06-86

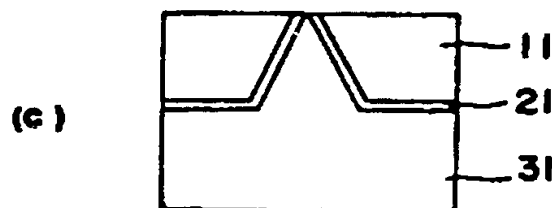
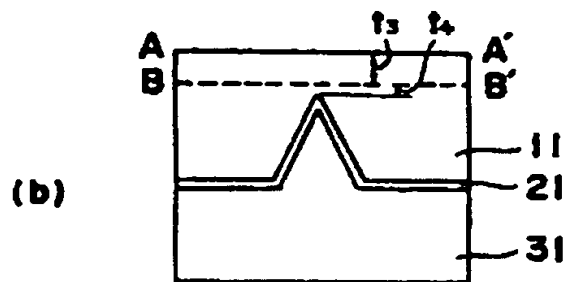
APPLICATION DATE : 16-11-84
APPLICATION NUMBER : 59240450

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : MATSUOKA SUSUMU;

INT.CL. : H01L 21/304 H01L 21/76

TITLE : METHOD OF POLISHING DIELECTRIC ISOLATED SUBSTRATE



ABSTRACT : PURPOSE: To prevent the wiring from being disconnected due to the unevenness of the surface, by polishing a dielectric isolated substrate in several steps such that the single crystal Si substrate is polished in the first step through chemical and mechanical polishing and it is finished through chemical and mechanical polishing in which the mechanical action is stronger in the second step from shortly before an insulator is exposed to the surface of the substrate.

CONSTITUTION: An Si substrate 11 is polished with slurry of pH 10.5 containing SiO₂ having a particle size of 0.02 at a temperature of 25°C, under a pressure of 350g/cm² and at a polishing rate of about 10μm/min until the level of t₃+t₄=10~50μm as measured from the peak point of a V-shaped groove is reached. Then the polishing operation is continued while the pressure is lowered and the polishing rate is decreased by several or several tens times until the level of t₄=2~3μm from the peak point is reached. In the next step, the substrate 11 is further polished more mechanically with slurry of pH 7.5 so that the depth t₄ of the substrate is removed and that the peak point of SiO₂ is approximately exposed in the surface of the substrate. Finally, only the pressure is lowered to decrease the polishing rate to about 150g/cm² and the substrate 11 is polished so as to expose the surface of the polysilicon 31. According to this method, the level difference on the surface of the Si substrate 11 can be decreased to 0.1μm or less, whereby disconnection of wiring and irregular configuration around the Si island 11 can be effectively prevented.

COPYRIGHT: (C)1986,JPO&Japio

Also see 6/2400
ESR

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-120424

⑬ Int.Cl.⁴
H 01 L 21/304
21/76

識別記号 庁内整理番号
B-7376-5F
D-7131-5F

⑭ 公開 昭和61年(1986)6月7日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 誘電体分離基板の研磨方法

⑯ 特 願 昭59-240450

⑰ 出 願 昭59(1984)11月16日

⑱ 発 明 者 高 屋 敷 哲 也 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 発 明 者 松 岡 進 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
㉑ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

誘電体分離基板の研磨方法

2. 特許請求の範囲

(1) V溝上に絶縁物を介して多結晶Siを形成した単結晶Siの基板を第1のケミカル・メカニカルポリッシュ研磨を行つた後、上記絶縁物が基板の表面に露出する直前からは、前記第1のケミカル・メカニカルポリッシュよりメカニカルポリッシング作用の強い第2のケミカル・メカニカルポリッシュで仕上げ研磨を行うことを特徴とする誘電体分離基板の研磨方法。

(2) 絶縁物の先端が基板の表面に露出する直前からは第2のケミカル・メカニカルポリッシュで研磨を行い、この絶縁物の先端が基板の表面の露出しきる直前または直後からはメカニカルポリッシュの荷重のみを軽減させた第3のケミカル・メカニカルポリッシュで仕上げ研磨を行うことを特徴とする特許請求の範囲第1項記載の誘電体分離基板の研磨方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、誘電体分離基板の表面の凹凸形状による配線の段切れや素子の不正確の転写をなくすることができるようにした誘電体分離基板の研磨方法に関するものである。

(従来の技術)

従来の誘電体分離基板の製造方法は、たとえば、特開昭57-45242号公報にも示されており、以下、第3図(a)～第3図(e)を用いて説明する。

まず、第3図(a)に示すように、単結晶Si基板1に、所望の深さを有するV字溝Vを異方性エッチング技術を用いて形成する。

次に第3図(b)に示すように、上記V字溝Vを含む単結晶Si基板表面に絶縁膜2(通常はSiO₂)を形成する。

次に、第3図(c)に示すように、絶縁膜2を介して単結晶Si基板1上に多結晶Si層3を、ほぼ単結晶Si基板1と同等の厚さまで成長させる。

次に、単結晶Si基板1の底面に平行になるよう

に多結晶 Si 層 3 を a - a' の線で示した位置まで除去することによつて、第 3 図 (d) の状態を得る。

次に、単結晶 Si 基板 1 側を底面から b - b' の線で示した位置まで研磨除去する。この研磨量は通常 200 μm 以上あるため、効率よく行うには研磨速度が 5 μm 程度以上ある荒研磨（研磨中の粒子が大きい）をする。このようにして第 3 図 (e) の状態を得る。

次に、第 3 図 (e) の状態から、前工程で生じた加工面層をとる目的も含めて、仕上研磨（研磨液中の粒子が小さい）を行なう。この場合の仕上研磨量は通常 10 ～ 30 μm であるが、最終的に残すべき単結晶 Si 層の厚みをウエハ内で、またはウエハ間で均一にするために、1 μm 以下程度に研磨速度を遅くするとともに仕上研磨工程の途中で一度または数度ウエハ厚みの計測を行ない、研磨速度のチェックを行うとともにウエハをはりかえたりすることが行われる。

このようにして、第 3 図 (f) に示すように、単結晶 Si 基板 1 は単結晶 Si 島 1 a, 1 b, 1 c となり、

うち、誘電体分離基板に生じやすい表面の凹凸形状による配線の段切れや、素子形状の不正確な転写という点について解決した誘電体分離基板の研磨方法を提供するものである。

（問題点を解決するための手段）

この発明は、誘電体分離基板の研磨方法において、第 1 のケミカル・メカニカルポリッシュで単結晶 Si の基板を研磨する工程と、この工程により絶縁物が基板の表面に露出する直前からはメカニカルポリッシュの強い第 2 のケミカル・メカニカルポリッシュで仕上げ研磨を行う工程とを導入したものである。

（作用）

この発明によれば、以上のような工程を導入したので、単結晶 Si の基板を第 1 のケミカル・メカニカルポリッシュで研磨を行つて基板に形成した V 溝上の絶縁物が基板の表面に露出する直前からは、第 1 のケミカル・メカニカルポリッシュよりメカニカルポリッシュ作用の強い第 2 のケミカル・メカニカルポリッシュを用いて基板の研磨を行つて V 溝

互いに絶縁物 2 で囲まれた状態を得る。これ以後の工程は通常の拡散、CVD、ホトリソ技術を用いて素子を形成し、最終的な半導体集積回路をつくる。

（発明が解決しようとする問題点）

しかしながら、誘電体分離基板は単結晶 Si, SiO_2 などの複数の物質で構成されているので、仕上研磨のように化学反応（エッチング）を主体とした研磨法では、特に SiO_2 に対してエッチング速度が遅くなるため、第 3 図 (g) に示すように、絶縁膜 2 またはその周囲が凸状となり、単結晶 Si 基板 1 かよび多結晶 Si 3 の領域が凹状となり、突起高さ L_d と単結晶 Si 基板 1 の表面へこみ深さ L_a , L_p を生じる不都合があつた。たとえば、表面深さ L_a , L_p は 0.5 ～ 1.0 μm にも達することがある。

このような状態は、アルミなどの配線をする上で段切れを生じたり、単結晶 Si 島の周辺部が平面でないため、この領域では素子形状が正確に転写されないなどの障害となつていた。

この発明は前記従来技術がもっている問題点の

上の絶縁物が基板の表面にほぼ露出させる。

（実施例）

以下、この発明の誘電体分離基板の研磨方法の実施例について図面に基づき説明するが、実施例の具体的な説明に先立ち、まず、発明者らが行つたポリッシング実験結果について第 2 図 (a) ～ 第 2 図 (d) について述べ、次いで、この発明の実施例の説明に移行することにする。

このポリッシング実験に用いたスラリー（ポリッシュ液）は、NaOH 系液に SiO_2 粒子径 0.02 μm のものを分散させたものである。第 2 図 (a) ～ 第 2 図 (c) はポリッシュ速度を変化させる要因であるスラリーの温度、スラリーの pH、荷重の 3 項目について、これらを変化させて各々単結晶 Si と SiO_2 のポリッシュ速度を求めたものである。代表的な値としては荷重 350 g/cm²、スラリー温度 25℃、pH = 10.5 であつた。

なお、図中多結晶 Si については示していないが、単結晶 Si とほぼ同一の値を示した。

また、第 2 図 (d) は、V 字溝の先端の絶縁膜（以

下 SiO_2 とする)が露出しきつた時点から、 SiO_2 の突起高さ L_d と単結晶 Si 基板の表面へこみ深さ L_a が研磨の進行過程においてどうなるかを相関図として示したものである。

表面へこみ深さ L_a 、 L_d とともに起点は SiO_2 と単結晶 Si 基板が表面で接している点とした(第3図(e))。

この第2図(d)によれば、突起高さ L_d は研磨の進行に対して大きな変化はないが、表面へこみ深さ L_a は研磨の進行とともに大きくなっていくことがわかる。

すなわち、この過程においては、 SiO_2 と単結晶 Si の境界面にはあまり研磨圧力が加わらないが、研磨布の弾性により Si 島の中央部には、境界面より強い研磨圧力が加わるため、島の中央部のみの研磨が進行するものと推定される。したがって、中央部の研磨を抑制するためには荷重を軽減する必要がある。

以上述べた実験事実をもとにして、発明者らが実施したこの発明の誘電体分離基板の研磨方法の実施例の具体的説明を行う。第1図(a)～第1図(d)

みばらつきが2～3 μm はあるので、2～3 μm の単結晶 Si 111の層を残すようにしてもよい。この仕上研磨の第1次の条件として、たとえばスラリーはコロイダルシリカ(粒子0.02 μm)を含む pH 10.5 のものを用い、温度は25℃、荷重は350 g/cm^2 を用いる。

このような条件は、現在の Si 基板の研磨において、メカノケミカルポリッシングといわれ、メカニカル(機械的)な作用とケミカル(化学的)な作用を合せもつ特徴を有しており、条件を変えることにより、メカニカル作用を支配的にしたり、ケミカル作用を支配的にしたりすることが可能である。

そこで、前記第1の条件で第1の仕上研磨を行った後、第1の条件よりメカニカル作用の強い第2の条件、たとえばスラリーは pH 7.5、温度10℃、荷重675 g/cm^2 を選んで、第1図(c)のように SiO_2 21の先端が、ほぼ表面に露出しきるところまで第2の仕上研磨を行う。研磨量は2 μm 位がよい。

次に、第3の条件、たとえば、第2の条件の

はその工程説明図である。

まず、第1図(a)は多結晶 Si 31側の研磨を行い、単結晶 Si 111との平行面出しを終了した状態を示す。図中21は絶縁物としての SiO_2 であり、通常1 μm 前後の厚さを有する。

この状態から、第1図(a)中のA-A'で示す点まで荒研磨または研削を行なう。除去量は一般に300 μm 以上あるため、高速の研磨条件または研削条件、たとえば10 $\mu\text{m}/\text{分}$ 程度が望ましい。このとき、単結晶 Si による基板中に埋め込まれたV字溝(図中では逆V字形)の先端までの距離 t_2 は10～50 μm 残すようにする。

次に、第1図(b)では、前記荒研磨に比べて数分の1から数十分の1のポリッシュ速度になる研磨条件でB-B'の位置まで研磨する。具体的には、スラリーに含まれる SiO_2 などの粒子径が1 μm 以下の小さいものを用いることと、圧力を低減することなどで行う。

この条件下において、 SiO_2 21の先端までの距離 t_2 は0に近いのが望ましいが、クエハ内での厚

さ荷重のみを軽減した温度10℃、pH 7.5、荷重150 g/cm^2 の条件で第3の仕上研磨を行う。

このようにして、第1図(d)に示すように、多結晶 Si 31が表面に露出する状態とする。研磨量は2 μm 位がよい。この後は必要に応じて最終仕上げ研磨を行ってもよい。

このように、発明者らは前記基板表面の設置、すなわち、突起高さ L_d とへこみ深さ L_a との和 $L_d + L_a$ を0.1 μm 以下に低減することができた。

この後、通常の半導体集積回路製造技術を用いることにより、誘電体分離形半導体集積回路装置を製造することができる。

なお、前記第2の仕上研磨条件、第3の仕上研磨条件は各々単独に実行されても効果は大きい。

また、仕上研磨条件を変更するときの基板の状態も、基板厚さのばらつきが存在するため、必ずしも厳密な条件を必要とするものではない。

さらに、上記実験ではNaOH系液のものを用いたが NH_4 系液に粉体シリカを分散させたスラリーを用いても同様な効果を示した。

(発明の効果)

以上、詳細に説明したようにこの発明によれば、まず第1の条件で第1の仕上げ研磨を行い、次に絶縁物が表面に露出する直前からは第1の研磨条件より、メカニカル作用の強い第2の研磨条件を用いて第2の仕上げ研磨を行い、次に絶縁物が表面に露出しきる直前または直後からは第2の研磨条件のうち荷重のみを軽減した第3の研磨条件で、第3の仕上げ研磨を行うようにしたので、誘電体分離基板表面の凹凸が1000Å以下と少なくできる。

これにともない、金属配線の段切れがなくなり、また、基板表面が平坦なため、正確な素子形状を基板表面に転写することが可能となる。

したがって、性能のよい安定した品質の誘電体分離形半導体集積回路装置が製造できる。

4. 図面の簡単な説明

第1図(a)ないし第1図(d)はそれぞれこの発明の誘電体分離基板の研磨方法の一実施例の工程説明図、第2図(a)ないし第2図(d)はそれぞれこの発明の誘電体分離基板の研磨方法に適用した実験結果

特開昭61-120424(4)

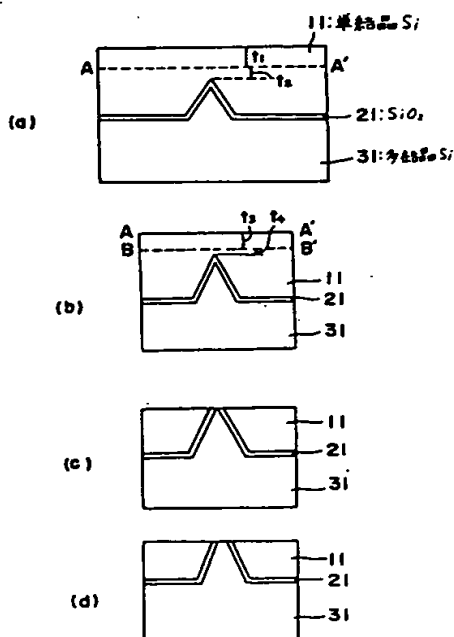
を示すグラフ、第3図(a)ないし第3図(d)はそれぞれ従来の誘電体分離基板の製造方法の工程説明図である。

1 1 ... 単結晶 Si、 2 1 ... SiO_2 、 3 1 ... 多結晶 Si。

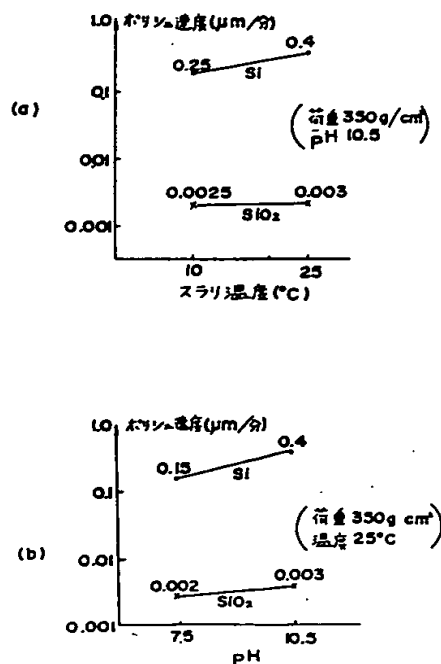
特許出願人 沖電気工業株式会社
代理人 弁理士 菊池



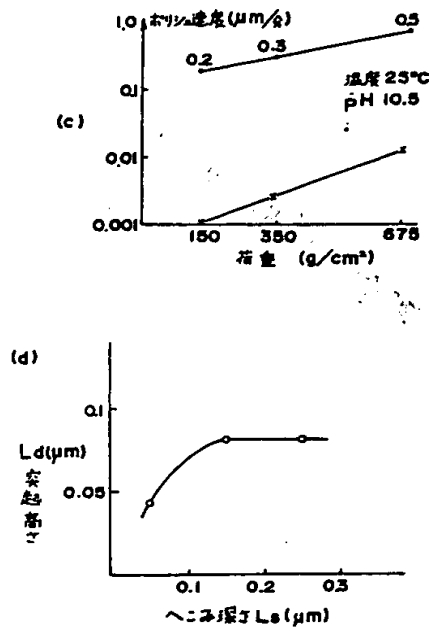
第 1 図



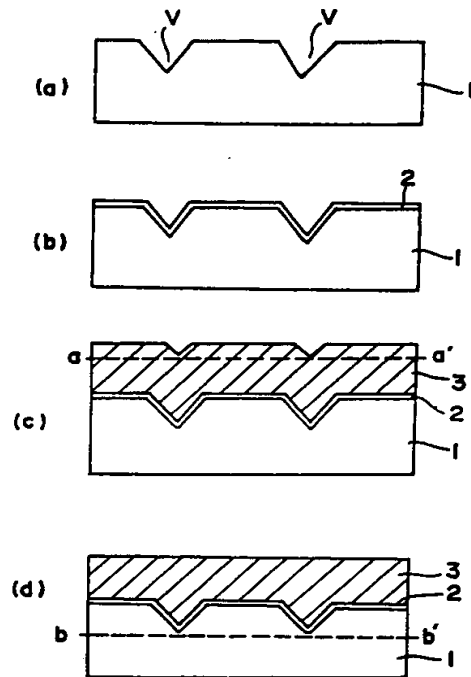
第 2 図



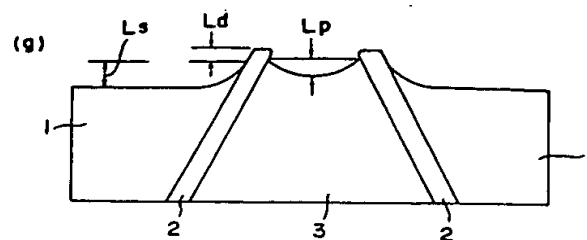
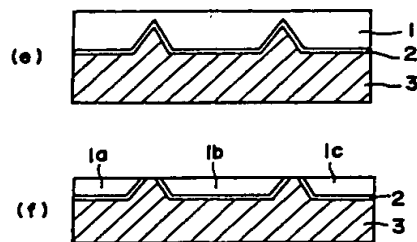
第 2 図



第 3 図



第 3 図



THIS PAGE BLANK (USPTO)